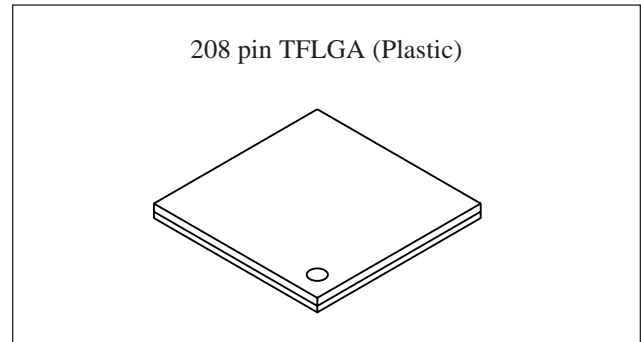


CMOS 32ビット 1チップ マイクロコンピュータ

概要

CXR704060は、32ビットRISC CPUをコアとしたマイクロプロセッサユニットと、信号処理演算に適した演算アクセラレータ回路をコアとした信号処理ブロックなどを1チップに集積した、CMOS 32ビット・マイクロコンピュータです。演算アクセラレータ回路の採用により、様々な信号処理システムに柔軟に対応することが可能です。

マイクロコンピュータ・ブロックには、32ビットRISC CPU, ROM, RAM, I/Oポートなどの基本構成のほかに、メモリスティック・インタフェース、マジックゲート、FLASHメモリ・インタフェース、USBインタフェース、オーディオ用D/Aコンバータ、A/Dコンバータ、シリアル・インタフェース、I²Cバス・インタフェース、タイマ、PWMパルス・ジェネレータなどを搭載しています。また、低消費電力化が可能なアイドル、スリープ、ストップ機能も備えています。



特長

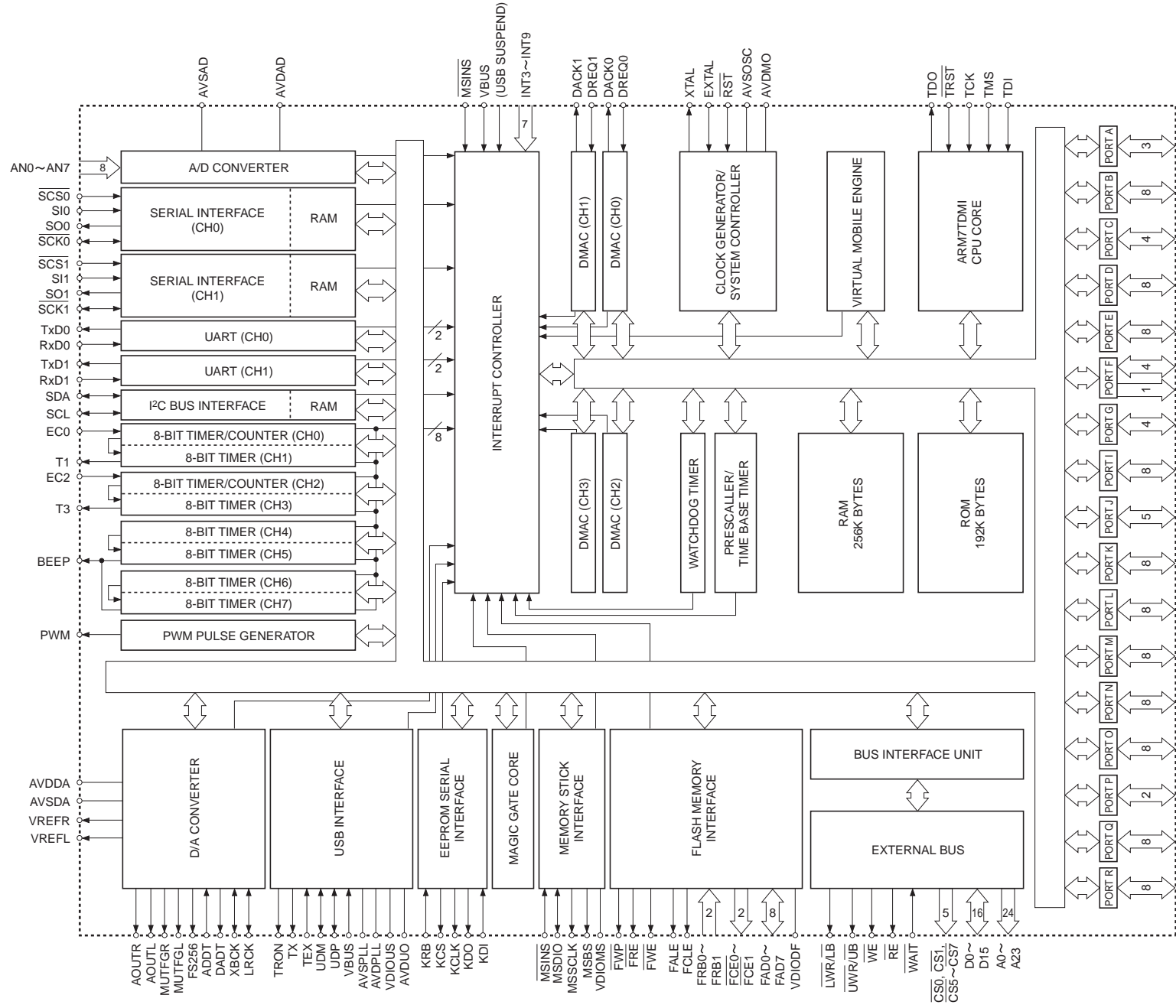
- CPU SR11シリーズ32ビットRISC CPUコア (ARM7TDMI)
- 最小命令実行時間 44.29ns (f_{SRC} : 22.5792MHz)
- 内蔵ROM 192Kバイト
- 内蔵RAM 256Kバイト
- 周辺ハードウェア
 - バス・インタフェース・ユニット 16ビットデータバス, 24ビットアドレスバス, チップセレクト出力5本
 - DMAコントローラ 4チャンネル
 - A/Dコンバータ 10ビット 8アナログ入力, 逐次比較方式
 - シリアル・インタフェース クロック同期型 1チャンネル (128バイト・バッファRAM内蔵)
 - クロック同期型 1チャンネル (32バイト・バッファRAM内蔵)
 - 調歩同期型 2チャンネル
 - 8チャンネル (タイマ出力あり)
 - 8ビット・タイマ
 - タイム・ベース・タイマ
 - プリスケラ
 - ウォッチドッグ・タイマ 16ビット 1チャンネル
 - PWMパルス・ジェネレータ 8ビット 1チャンネル
 - オーディオ用16ビットD/Aコンバータ Lチャンネル, Rチャンネル
 - メモリスティック・インタフェース 1チャンネル
 - マジックゲート
 - EEPROM用シリアル・インタフェース CXK2000用シリアル・インタフェース 1チャンネル
 - USBインタフェース USB1.1準拠, トランシーバ内蔵
 - FLASHメモリ・インタフェース 1ビットエラー訂正機能
 - 外部割り込み 10チャンネル (極性選択, 両エッジ検出可)
- 信号処理演算用アクセラレータ
- スタンバイ・モード アイドル/スリープ/ストップ
- パッケージ 208ピン プラスチックTFLGA

構造

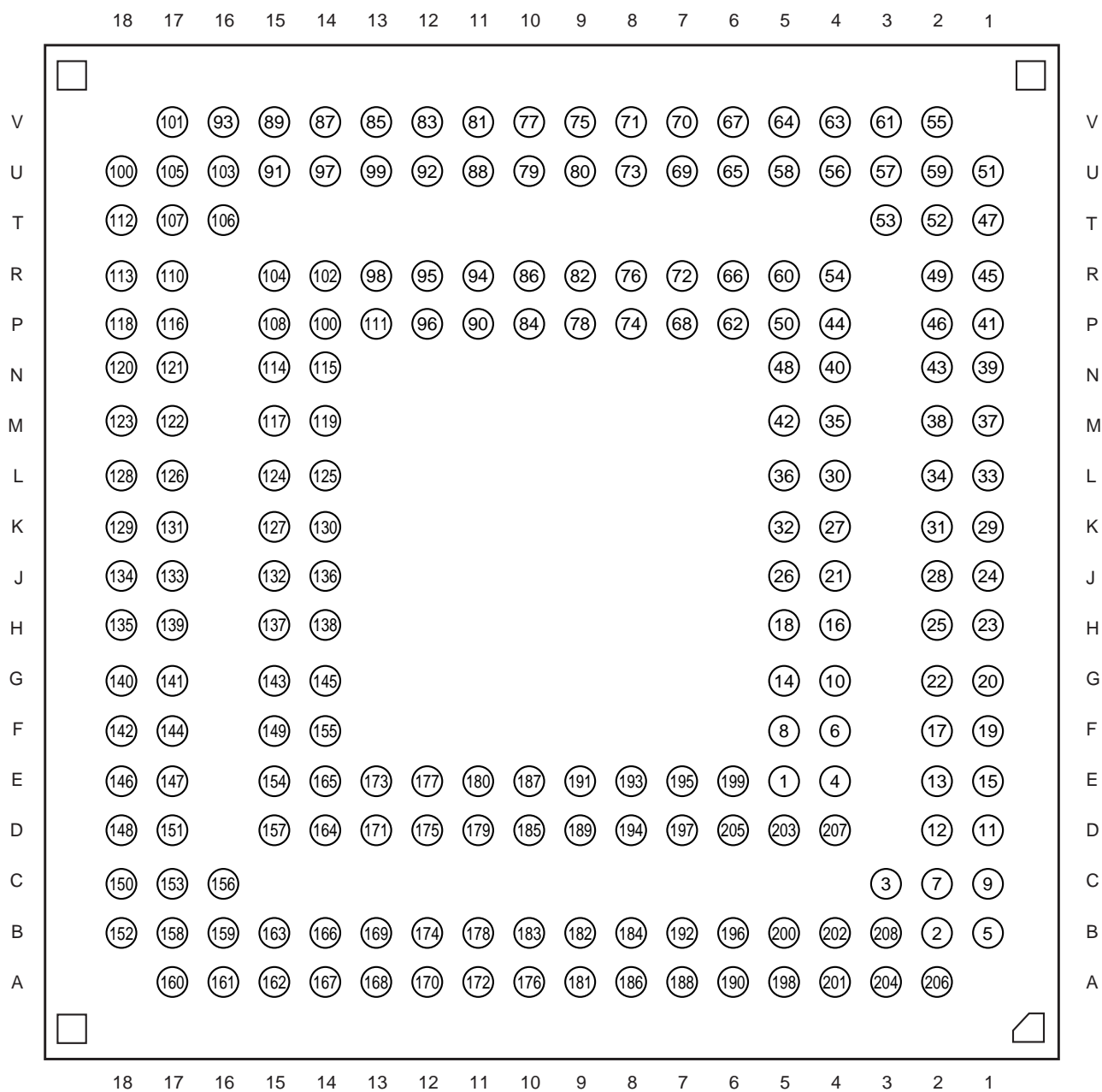
シリコンゲート CMOS IC

本資料に記載されております規格等は、改良のため予告なく変更することがありますので、ご了承ください。
また本資料によって、記載内容に関する工業所有権の実施許諾や、その他の権利に対する保証を認めたものではありません。
なお資料中に、回路例が記載されている場合、これらは使用上の参考として、代表的な応用例を示したものですので、これら回路の使用に起因する損害について、当社は一切責任を負いません。

ブロック図



端子配置図 (Top View) 208ピンTFLGAパッケージ



• 端子配置表

端子番号	端子位置	端子機能	端子番号	端子位置	端子機能	端子番号	端子位置	端子機能
1	E5	VDIO0	40	N4	PO2 / D2	79	U10	DV _{ss3}
2	B2	PM4 / A12	41	P1	PO3 / D3	80	U9	VDIO3
3	C3	PM5 / A13	42	M5	PO4 / D4	81	V11	PF0 / EC0 / INT3
4	E4	PM6 / A14	43	N2	PO5 / D5	82	R9	PF1 / T1
5	B1	PM7 / A15	44	P4	PO6 / D6	83	V12	PF2 / EC2 / INT4
6	F4	PN0 / A16	45	R1	PO7 / D7	84	P10	PF3 / T3
7	C2	PN1 / A17	46	P2	PB0 / D8	85	V13	PF4 / BEEP
8	F5	PN2 / A18	47	T1	PB1 / D9	86	R10	PG0 / DACK0
9	C1	PN3 / A19	48	N5	PB2 / D10	87	V14	PG1 / DREQ0 / INT5
10	G4	PN4 / A20	49	R2	PB3 / D11	88	U11	PG2 / DACK1 / INT6
11	D1	PN5 / A21	50	P5	PB4 / D12	89	V15	PG3 / DREQ1 / INT7
12	D2	PN6 / A22	51	U1	PB5 / D13	90	P11	TEST2
13	E2	PN7 / A23	52	T2	PB6 / D14	91	U15	TEST3
14	G5	DV _{ss7}	53	T3	PB7 / D15	92	U12	TEST0
15	E1	FAD0	54	R4	PA0 / PWM	93	V16	TEST1
16	H4	FAD1	55	V2	PA1 / SDA	94	R11	TEST6
17	F2	FAD2	56	U4	PA2 / SCL	95	R12	EVA
18	H5	FAD3	57	U3	PC0 / SCK0	96	P12	AVSAD
19	F1	FAD4	58	U5	PC1 / SO0	97	U14	AVDAD
20	G1	FAD5	59	U2	PC2 / SI0	98	R13	AN0
21	J4	FAD6	60	R5	PC3 / SCS0	99	U13	AN1
22	G2	FAD7	61	V3	DV _{ss2}	100	P14	AN2
23	H1	FCLE	62	P6	VDIO2	101	V17	AN3
24	J1	FALE	63	V4	KDI	102	R14	AN4
25	H2	VDIODF	64	V5	KRB	103	U16	AN5
26	J5	$\overline{\text{FWE}}$	65	U6	KCLK	104	R15	AN6 / INT8
27	K4	$\overline{\text{FRE}}$	66	R6	KCS	105	U17	AN7 / INT9
28	J2	$\overline{\text{FWP}}$	67	V6	KDO	106	T16	$\overline{\text{RST}}$
29	K1	$\overline{\text{FCE0}}$	68	P7	TEST4	107	T17	$\overline{\text{RAMBK}}$
30	L4	$\overline{\text{FRB0}}$	69	U7	PE0 / TxD0	108	P15	VDBK
31	K2	$\overline{\text{FCE1}}$	70	V7	PE1 / RxD0	109	U18	TDI
32	K5	FRB1	71	V8	PE2 / TxD1	110	R17	TMS
33	L1	PP0	72	R7	PE3 / RxD1	111	P13	TCK
34	L2	PP1	73	U8	PE4 / SCK1	112	T18	$\overline{\text{TRST}}$
35	M4	DV _{DD0}	74	P8	PE5 / SO1	113	R18	TDO
36	L5	DV _{ss1}	75	V9	PE6 / SI1	114	N15	VDIOJT
37	M1	VDIO1	76	R8	PE7 / SCS1	115	N14	DV _{DD2}
38	M2	PO0 / D0	77	V10	TEST5	116	P17	DV _{ss4}
39	N1	PO1 / D1	78	P9	DV _{DD1}	117	M15	VDIO4

端子番号	端子位置	端子機能	端子番号	端子位置	端子機能	端子番号	端子位置	端子機能
118	P18	PD0 / CONNECT	149	F15	PQ3	180	E11	VDIO5
119	M14	PD1 / XVDATA	150	C18	PQ4	181	A9	PJ0 / $\overline{\text{WAIT}}$
120	N18	PD2 / DPLS	151	D17	PQ5	182	B9	PJ1 / $\overline{\text{RE}}$
121	N17	PD3 / DMNS	152	B18	PQ6	183	B10	PJ2 / $\overline{\text{LWR}} / \overline{\text{LB}}$
122	M17	PD4 / TXDPLS	153	C17	PQ7	184	B8	PJ3 / $\overline{\text{UWR}} / \overline{\text{UB}}$
123	M18	PD5 / TXDMNS	154	E15	DV _{ss8}	185	D10	PJ4 / $\overline{\text{WE}}$
124	L15	PD6 / TXENL	155	F14	VDIO7	186	A8	PK0 / $\overline{\text{CS0}}$
125	L14	PD7 / SUSPEND	156	C16	PR0	187	E10	PK1 / $\overline{\text{CS1}}$
126	L17	VBUS	157	D15	PR1	188	A7	PK2
127	K15	VDIOUS	158	B17	PR2	189	D9	PK3
128	L18	UDM	159	B16	PR3	190	A6	PK4
129	K18	UDP	160	A17	PR4	191	E9	PK5 / $\overline{\text{CS5}}$
130	K14	TRON	161	A16	PR5	192	B7	PK6 / $\overline{\text{CS6}}$
131	K17	AVSDA	162	A15	PR6	193	E8	PK7 / $\overline{\text{CS7}}$
132	J15	VREFR	163	B15	PR7	194	D8	DV _{ss6}
133	J17	AOUTR	164	D14	DV _{ss9}	195	E7	VDIO6
134	J18	AOUTL	165	E14	VDIOMS	196	B6	PL0 / A0
135	H18	VREFL	166	B14	MSDIO	197	D7	PL1 / A1
136	J14	AVDDA	167	A14	MSBS	198	A5	PL2 / A2
137	H15	XTAL	168	A13	MSSCLK	199	E6	PL3 / A3
138	H14	EXTAL	169	B13	$\overline{\text{MSINS}}$	200	B5	PL4 / A4
139	H17	AVDMO	170	A12	PI7	201	A4	PL5 / A5
140	G18	AVSOSC	171	D13	PI0 / DADT	202	B4	PL6 / A6
141	G17	TX	172	A11	PI1 / ADDT	203	D5	PL7 / A7
142	F18	TEX	173	E13	PI2 / LRCK	204	A3	PM0 / A8
143	G15	AVDUO	174	B12	PI3 / XBCK	205	D6	PM1 / A9
144	F17	AVSPLL	175	D12	PI4 / FS2S6	206	A2	PM2 / A10
145	G14	AVDPLL	176	A10	PI5 / MUTFGL	207	D4	PM3 / A11
146	E18	PQ0	177	E12	PI6 / MUTFGR	208	B3	DV _{ss0}
147	E17	PQ1	178	B11	DV _{DD3}			
148	D18	PQ2	179	D11	DV _{ss5}			

端子機能

端子名称	入出力	機 能		I/O電源端子	
PJ0 / $\overline{\text{WAIT}}$	入出力 / 入力	(ポートJ) 5ビットの入出力ポート 1ビット単位で入出力の 指定可能 1ビット単位でソフト ウェアによるプルアップ 抵抗付加を指定可能 (5本)	外部バス用ウエイト入力端子		VDIO0 VDIO5 VDIO6
PJ1 / $\overline{\text{RE}}$	入出力 / 出力		外部バス用リード信号出力端子		
PJ2 / $\overline{\text{LWR}}$ / LB	入出力 / 出力 / 出力		D0 ~ D7に対す るライト・ス トロープ信号 出力端子	D0 ~ D7へのア クセスを示す ストロープ信 号出力端子	
PJ3 / $\overline{\text{UWR}}$ / UB	入出力 / 出力 / 出力		D8 ~ D15に対 するライト・ス トロープ信 号出力端子	D8 ~ D15への アクセスを示 すストロープ 信号出力端子	
PJ4 / $\overline{\text{WE}}$	入出力 / 出力		外部バス用ライト信号出力端子		
PK0 / $\overline{\text{CS0}}$, PK1 / $\overline{\text{CS1}}$	入出力 / 出力	(ポートK) 8ビットの入出力ポート 1ビット単位で入出力の 指定可能 1ビット単位でソフト ウェアによるプルアップ 抵抗付加を指定可能 (8本)	外部バス用チップ・セレクト 出力端子 (2本)		
PK2 ~ PK4	入出力				
PK5 / $\overline{\text{CS5}}$ ~ PK7 / $\overline{\text{CS7}}$	入出力 / 出力		外部バス用チップ・セレクト 出力端子 (3本)		
PL0 / A0 ~ PL7 / A7	入出力 / 出力	(ポートL) 8ビットの入出力ポート 1ビット単位で入出力の 指定可能 1ビット単位でソフト ウェアによるプルアップ 抵抗付加を指定可能 (8本)			
PM0 / A8 ~ PM7 / A15	入出力 / 出力		外部バス用アドレス・バス 出力端子 (24本)		
PN0 / A16 ~ PN7 / A23	入出力 / 出力				
		(ポートN) 8ビットの入出力ポート 1ビット単位で入出力の 指定可能 1ビット単位でソフト ウェアによるプルアップ 抵抗付加を指定可能 (8本)			

端子名称	入出力	機能		I/O電源端子
FAD0 ~ FAD7	入出力	フラッシュ・メモリ・インタフェース用データ入出力端子		VDIODF
FCLE	出力	フラッシュ・メモリ・インタフェースにおけるCLE出力端子		
FALE	出力	フラッシュ・メモリ・インタフェースにおけるALE出力端子		
$\overline{\text{FWE}}$	出力	フラッシュ・メモリ・インタフェースにおける $\overline{\text{WE}}$ 出力端子		
$\overline{\text{FRE}}$	出力	フラッシュ・メモリ・インタフェースにおける $\overline{\text{RE}}$ 出力端子		
$\overline{\text{FWP}}$	出力	フラッシュ・メモリ・インタフェースにおける $\overline{\text{WP}}$ 出力端子		
$\overline{\text{FCE0}}, \overline{\text{FCE1}}$	出力	フラッシュ・メモリ・インタフェースにおける $\overline{\text{CE}}$ 出力端子		
FRB0, FRB1	入力	フラッシュ・メモリ・インタフェースにおけるRB入力端子		
PP0, PP1	入出力	(ポートP) 2ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (2本)		VDIO1 VDIO2 VDIO3
PO0 / D0 ~ PO7 / D7	入出力 / 入出力	(ポートO) 8ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (8本)	外部バス用データ・バス入出力端子 (16本)	
PB0 / D8 ~ PB7 / D15	入出力 / 入出力	(ポートB) 8ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (8本)		
PA0 / PWM	入出力 / 出力	(ポートA) 3ビットの入出力ポート 1ビット単位で入出力の指定可能		
PA1 / SDA	入出力 / 入出力	ビット0はソフトウェアによるプルアップ抵抗付加を指定可能 (3本)	I ² Cバス・インタフェースのデータ入出力端子	
PA2 / SCL	入出力 / 入出力		I ² Cバス・インタフェースのクロック入出力端子	
PC0 / $\overline{\text{SCK0}}$	入出力 / 入出力	(ポートC) 4ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (4本)	シリアル・クロック (CH0) の入出力端子	
PC1 / SO0	入出力 / 出力		シリアル・データ (CH0) の出力端子	
PC2 / SI0	入出力 / 入力		シリアル・データ (CH0) の入力端子	
PC3 / $\overline{\text{SCS0}}$	入出力 / 入力		シリアル・チップ・セレクト (CH0) の入力端子	
KDI	入力	EEPROM用シリアル・インタフェース・データ入力端子		
KRB	入力	EEPROM用シリアル・インタフェースReady / Busy入力端子		

端子名称	入出力	機能		I/O電源端子	
KCLK	出力	EEPROM用シリアル・インタフェース・クロック出力端子			
KCS	出力	EEPROM用シリアル・インタフェース・チップセレクト出力端子			
KDO	出力	EEPROM用シリアル・インタフェース・データ出力端子			
PE0 / TxD0	入出力 / 出力	(ポートE) 8ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (8本)	UART (CH0) の送信データ出力端子		
PE1 / RxD0	入出力 / 入力		UART (CH0) の受信データ入力端子		
PE2 / TxD1	入出力 / 出力		UART (CH1) の送信データ出力端子		
PE3 / RxD1	入出力 / 入力		UART (CH1) の受信データ入力端子		
PE4 / $\overline{\text{SCK1}}$	入出力 / 入出力		シリアル・クロック (CH1) の入出力端子		
PE5 / SO1	入出力 / 出力		シリアル・データ (CH1) の出力端子		
PE6 / SI1	入出力 / 入力		シリアル・データ (CH1) の入力端子		
PE7 / $\overline{\text{SCS1}}$	入出力 / 入力		シリアル・チップ・セレクト (CH1) の入力端子		
PF0 / EC0 / INT3	入出力 / 入力 / 入力	(ポートF) 下位4ビットは入出力で 上位1ビットは出力専用の5ビットのポート 下位4ビットは1ビット単位で入出力の指定可能 下位4ビットは1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (5本)	8ビット・タイマ (CH0) への外部イベント入力端子		VDIO1 VDIO2 VDIO3
PF1 / T1	入出力 / 出力		8ビット・タイマ (CH1) の出力端子		
PF2 / EC2 / INT4	入出力 / 入力 / 入力		8ビット・タイマ (CH2) への外部イベント入力端子	外部割り込み要求の入力端子	
PF3 / T3	入出力 / 出力		8ビット・タイマ (CH3) の出力端子		
PF4 / BEEP	出力 / 出力		ビープ出力端子		
PG0 / DACK0	入出力 / 出力	(ポートG) 4ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (4本)	DMAコントローラ (CH0) からの転送要求アクノリッジ信号出力端子		
PG1 / DREQ0 / INT5	入出力 / 入力 / 入力		DMAコントローラ (CH0) への転送要求入力端子		外部割り込み要求の入力端子
PG2 / DACK1 / INT6	入出力 / 出力 / 入力		DMAコントローラ (CH1) からの転送要求アクノリッジ信号出力端子		外部割り込み要求の入力端子
PG3 / DREQ1 / INT7	入出力 / 入力 / 入力		DMAコントローラ (CH1) への転送要求入力端子		外部割り込み要求の入力端子
AN0 ~ AN5	入力	A/Dコンバータへのアナログ入力端子 (6本)		AVDAD	
AN6 / INT8, AN7 / INT9	入力 / 入力	A/Dコンバータへのアナログ入力端子 (2本)	外部割り込み要求の入力端子 (2本)		

端子名称	入出力	機 能		I/O電源端子
PD0 / CONNECT	入出力 / 入力	(ポートD) 8ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (8本)	USB接続入力端子 (外部USBトランシーバ用)	VDIO4
PD1 / XVDATA	入出力 / 入力		USB受信データ入力端子 (外部USBトランシーバ用)	
PD2 / DPLS	入出力 / 入力		USB D+ データ入力端子 (外部USBトランシーバ用)	
PD3 / DMNS	入出力 / 入力		USB D- データ入力端子 (外部USBトランシーバ用)	
PD4 / TXDPLS	入出力 / 出力		USB D+ データ出力端子 (外部USBトランシーバ用)	
PD5 / TXDMNS	入出力 / 出力		USB D- データ出力端子 (外部USBトランシーバ用)	
PD6 / TXENL	入出力 / 出力		USBデータ制御出力端子 (外部USBトランシーバ用)	
PD7 / SUSPEND	入出力 / 出力		USBサスペンド出力端子 (外部USBトランシーバ用)	
VBUS	入力	USBパワー信号入力端子 (USB接続検出信号入力端子, 内部USBトランシーバ用)		
UDM	入出力	USB D- データ入出力端子 (内部USBトランシーバ用)		VDIOUS
UDP	入出力	USB D+ データ入出力端子 (内部USBトランシーバ用)		
TRON	出力	UDPプルアップ抵抗接続制御出力端子		
VREFL	出力	内蔵DACリファレンス電圧出力端子 (Lch)		AVDDA
AOUTL	出力	内蔵DAC Lch出力端子		
AOUTR	出力	内蔵DAC Rch出力端子		
VREFR	出力	内蔵DACリファレンス電圧出力端子 (Rch)		
PQ0 ~ PQ7	入出力	(ポートQ) 8ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (8本)		VDIO7
PR0 ~ PR7	入出力	(ポートR) 8ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (8本)		
PI0 / DADT	入出力 / 出力	(ポートI) 8ビットの入出力ポート 1ビット単位で入出力の指定可能 1ビット単位でソフトウェアによるプルアップ抵抗付加を指定可能 (8本)	外部DACへのオーディオ・データ出力端子	VDIO0 VDIO5 VDIO6
PI1 / ADDT	入出力 / 入力		外部ADC等からのオーディオ・データ入力端子	
PI2 / LRCK	入出力 / 入出力		外部DAC / ADCへのL / Rサンプリングクロック入出力端子 (44.1kHz)	
PI3 / XBCK	入出力 / 入出力		外部DAC / ADCへのビットクロック入出力端子 (2.822MHz)	
PI4 / FS256	入出力 / 出力		256fsクロック出力端子 (11.2896MHz)	
PI5 / MUTFGL	入出力 / 出力		無音検出信号出力端子 (Lch)	
PI6 / MUTFGR	入出力 / 出力		無音検出信号出力端子 (Rch)	
PI7	入出力			

端子名称	入出力	機能	I/O電源端子
MSDIO	入出力	メモリスティック・インタフェース・データ入出力端子	VDIOMS
MSBS	出力	メモリスティック・インタフェース・バス・ステート出力端子	
MSSCLK	出力	メモリスティック・インタフェース・クロック出力端子	
$\overline{\text{MSINS}}$	入力	メモリスティック・インタフェース・カード検出入力端子 (INT0)	
TEST4	入力	テスト入力端子	VDIO1 VDIO2 VDIO3
TEST2, TEST3	入力	テスト入力端子	
TEST0, TEST1	入力	テスト入力端子	
TEST6	出力	テスト出力端子	
EVA	入力	EVAモード切り換え入力端子	VDIOJT
TDI	入力	JTAGバウンダリー・スキャン・テスト用のデータ入力端子	
TMS	入力	JTAGバウンダリー・スキャン・テスト用のテスト・モード制御入力端子	
TCK	入力	JTAGバウンダリー・スキャン・テスト用のクロック入力端子	
$\overline{\text{TRST}}$	入力	JTAGバウンダリー・スキャン・テスト用のリセット入力端子	
TDO	出力	JTAGバウンダリー・スキャン・テスト用のデータ出力端子	AVDMO
EXTAL	入力	メイン発振用の発振子接続端子 (外部からクロックを供給する場合はEXTAL端子に入力するとともに、XTAL端子に逆相のクロックを入力して下さい。)	
XTAL	出力		VDIO1 VDIO2 VDIO3
TEST5	出力	テスト出力端子	
TEX	入力	サブ発振用の発振子接続端子 (外部からクロックを供給する場合はTEX端子に入力するとともに、TX端子に逆相のクロックを入力して下さい。)	AVDUO
TX	出力		
$\overline{\text{RST}}$	入力	システム・リセット入力端子	AVDAD
$\overline{\text{RAMBK}}$	入力	RAMバックアップ用制御信号入力端子	
VDBK		RAMバックアップ用正電源供給端子	AVDDA AVSDA AVDPLL AVSPLL AVDMO AVDUO
AVDAD		A/Dコンバータの正電源供給端子	
AVSAD		A/DコンバータのGND端子	
AVDDA		内蔵DACの正電源供給端子*1	
AVSDA		内蔵DAC GND端子	
AVDPLL		PLL用正電源供給端子*2	
AVSPLL		PLL用GND端子	
AVDMO		メインクロック発振子正電源供給端子*1	
AVDUO		サブクロック発振子正電源供給端子*2	

*1 AVDDAとAVDMOは同電位にして下さい。

*2 AVDPLLとAVDUOは同電位にして下さい。

端子名称	入出力	機能	I/O電源端子
AVSOSC		メイン・クロックおよびサブ・クロック発振子GND端子	
VDIODF		フラッシュ・メモリ・インタフェースの正電源供給端子	
VDIOMS		メモリスティック・インタフェースの正電源供給端子	
VDIOJT		JTAGの正電源供給端子	
VDIOUS		USBトランシーバの正電源供給端子	
VDIO0 ~ VDIO7		I/Oインタフェース正電源供給端子	
DV _{DD0} ~ DV _{DD3}		正電源供給端子 (V _{DD} 端子は4本とも正電源に接続して下さい。)	
DV _{SS0} ~ DV _{SS9}		GND端子 (DV _{SS} 端子は10本ともGNDに接続して下さい。)	

• I/O電源と端子対応表

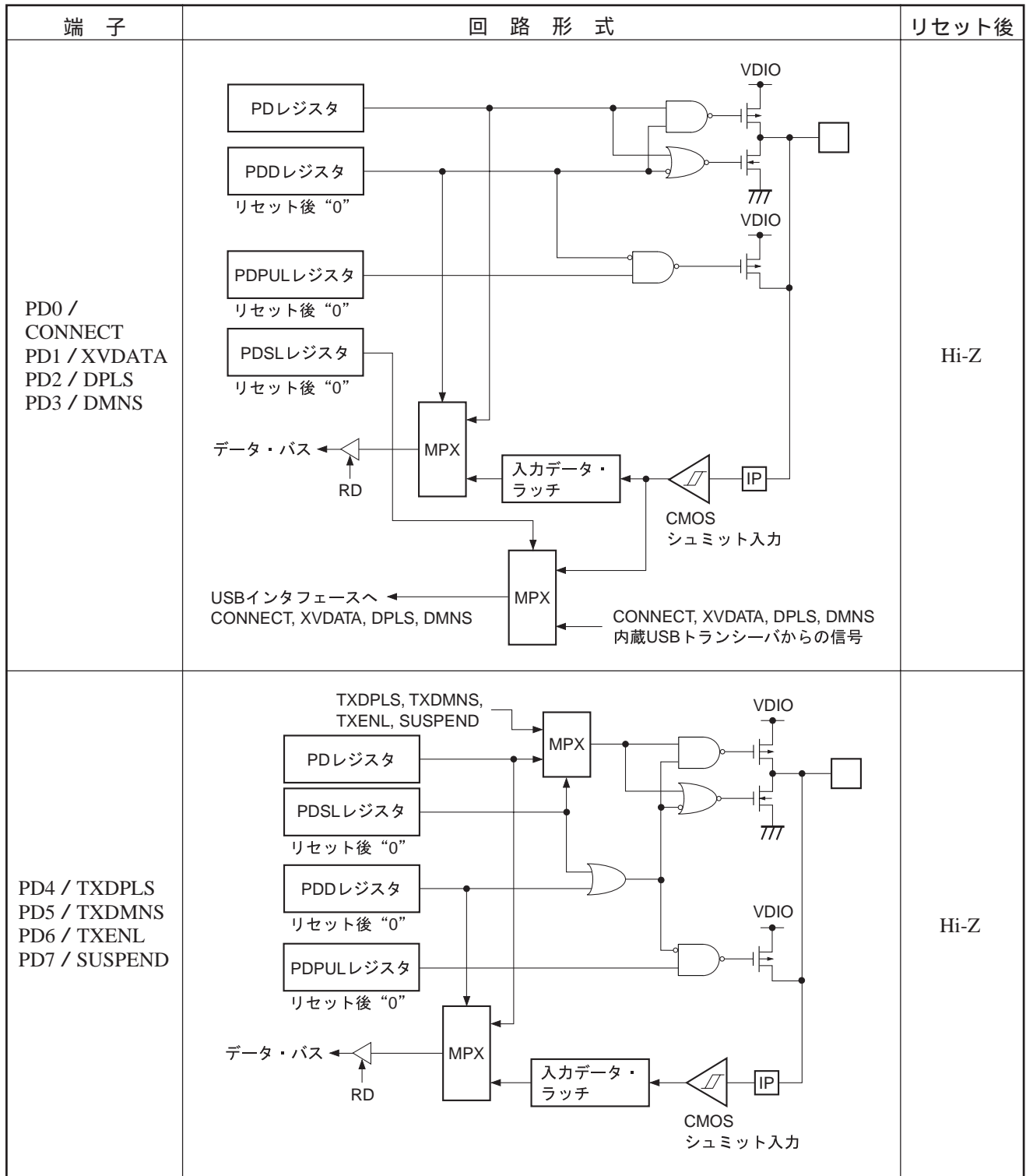
I/O電源端子	デジタル / アナログ	端子名
VDIO0 VDIO5 VDIO6	デジタル電源	PI0 / DADT, PI1 / ADDT, PI2 / LRCK, PI3 / XBCK, PI4 / FS256, PI5 / MUTFGL, PI6 / MUTFGR, PJ0 / WAIT, PJ1 / RE, PJ2 / LWR / LB, PJ3 / UWR / UB, PJ4 / WE, PK0 / CS0, PK1 / CS1, PK2, PK3, PK4, PK5 / CS5, PK6 / CS6, PK7 / CS7, PL0 / A0 ~ PL7 / A7, PM0 / A8 ~ PM7 / A15, PN0 / A16 ~ PN7 / A23
VDIODF	デジタル電源	FAD0 ~ FAD7, FCLE, FALE, FWE, FRE, FWP, FCE0, FRB0, FCE1, FRB1
VDIO1 VDIO2 VDIO3	デジタル電源	PP0, PP1, PO0 / D0 ~ PO7 / D7, PB0 / D8 ~ PB7 / D15, PA0 / PWM, PA1 / SDA, PA2 / SCL, PC0 / SCK0, PC1 / SO0, PC2 / SI0, PC3 / SCS0, KDI, KRB, KCLK, KCS, KDO, TEST4, PE0 / TxD0, PE1 / RxD0, PE2 / TxD1, PE3 / RxD1, PE4 / SCK1, PE5 / SO1, PE6 / SI1, PE7 / SCS1, TEST5, PF0 / EC0 / INT3, PF1 / T1, PF2 / EC2 / INT4, PF3 / T3, PF4 / BEEP, PG0 / DACK0, PG1 / DREQ0 / INT5, PG2 / DACK1 / INT6, PG3 / DREQ1 / INT7, TEST0 ~ TEST3, TEST6, EVA
AVDAD	アナログ電源	AN0 ~ AN5, AN6 / INT8, AN7 / INT9 (RST, RAMBK) *1
VDIOJT	デジタル電源	TDI, TMS, TCK, TRST, TDO
VDIO4	デジタル電源	PD0 / CONNECT, PD1 / XVDATA, PD2 / DPLS, PD3 / DMNS, PD4 / TXDPLS, PD5 / TXDMNS, PD6 / TXENL, PD7 / SUSPEND, VBUS
VDIOUS	デジタル電源	UDM, UDP, TRON
AVDDA	アナログ電源	VREFR, AOUTR, AOUTL, VREFL
AVDMO	アナログ電源	XTAL, EXTAL
AVDUO	アナログ電源	TX, TEX
VDIO7	デジタル電源	PQ0 ~ PQ7, PR0 ~ PR7
VDIOMS	デジタル電源	MSDIO, MSBS, MSSCLK, MSINS, PI7

*1 RST, RAMBKに入力する信号のHレベルは, DV_{DD0} ~ DV_{DD3}およびVDBKと同電位にして下さい。

端子の入出力回路形式

端子	回路形式	リセット後
PA0 / PWM		Hi-Z
PA1 / SDA PA2 / SCL		Hi-Z
PB0 / D8 PB7 / D15		Hi-Z

端子	回路形式	リセット後
PC0 / SCK0		Hi-Z
PC1 / SO0		Hi-Z
PC2 / SI0 PC3 / SCS0		Hi-Z



端子	回路形式	リセット後
<p>PE0 / TxD0 PE2 / TxD1</p>	<p>TxD0, TxD1</p> <p>PEレジスタ</p> <p>PESLレジスタ リセット後 "0"</p> <p>PEDレジスタ リセット後 "0"</p> <p>PEPULレジスタ リセット後 "0"</p> <p>データ・バス</p> <p>RD</p> <p>MPX</p> <p>入力データ・ラッチ</p> <p>CMOS シュミット入力</p> <p>VDIO</p> <p>VDIO</p> <p>Hi-Z</p>	<p>Hi-Z</p>
<p>PE1 / RxD0 PE3 / RxD1 PE6 / SI1 PE7 / SCS1</p>	<p>PEレジスタ</p> <p>PEDレジスタ リセット後 "0"</p> <p>PEPULレジスタ リセット後 "0"</p> <p>データ・バス</p> <p>RD</p> <p>MPX</p> <p>入力データ・ラッチ</p> <p>CMOS シュミット入力</p> <p>VDIO</p> <p>VDIO</p> <p>RxD0, RxD1, SI1, SCS1</p> <p>Hi-Z</p>	<p>Hi-Z</p>
<p>PE4 / SCK1</p>	<p>SCK1</p> <p>PEレジスタ</p> <p>PESLレジスタ リセット後 "0"</p> <p>PEDレジスタ リセット後 "0"</p> <p>PEPULレジスタ リセット後 "0"</p> <p>データ・バス</p> <p>RD</p> <p>MPX</p> <p>入力データ・ラッチ</p> <p>CMOS シュミット入力</p> <p>VDIO</p> <p>VDIO</p> <p>SCK1</p> <p>Hi-Z</p>	<p>Hi-Z</p>

端子	回路形式	リセット後
PE5 / SO1		Hi-Z
PF0 / EC0 / INT3 PF2 / EC2 / INT4		Hi-Z
PF1 / T1 PF3 / T3		Hi-Z

端子	回路形式	リセット後
PF4 / BEEP		Hi-Z
PG0 / DACK0		Hi-Z
PG1 / DREQ0 / INT5 PG3 / DREQ1 / INT7		Hi-Z

端子	回路形式	リセット後
PG2 / DACK1 / INT6		Hi-Z
PI0 / DADT PI4 / FS256 PI5 / MUTFGL PI6 / MUTFGR		Hi-Z
PI1 / ADDT		Hi-Z

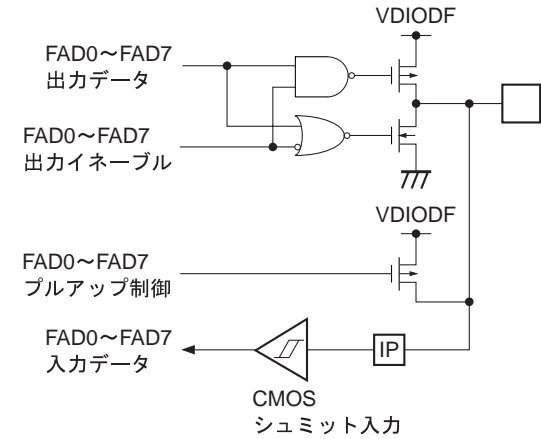
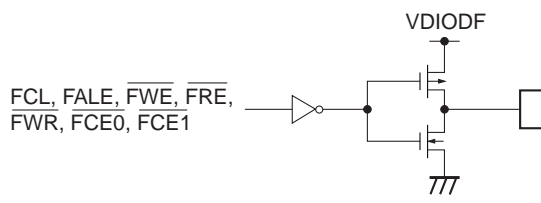
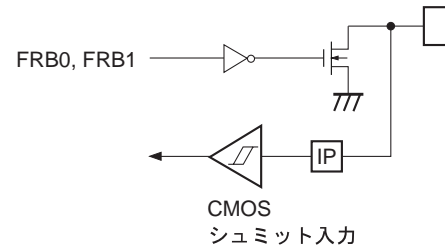
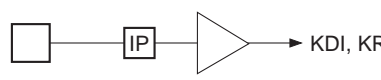
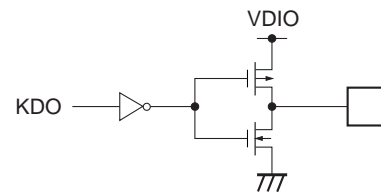
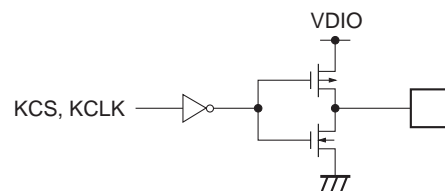
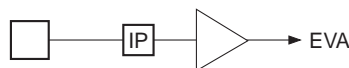

端子	回路形式	リセット後
PI2 / LRCK PI3 / XBCK		Hi-Z
PI7		Hi-Z
PJ0 / $\overline{\text{WAIT}}$		Hi-Z

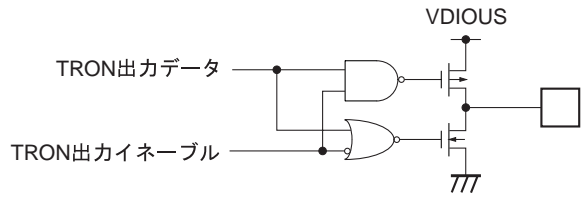
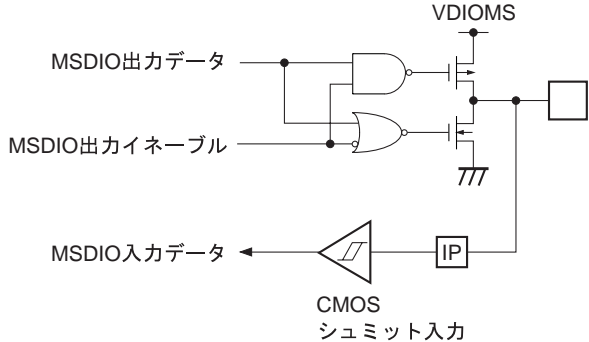
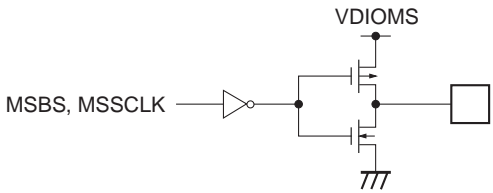
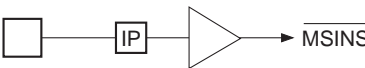
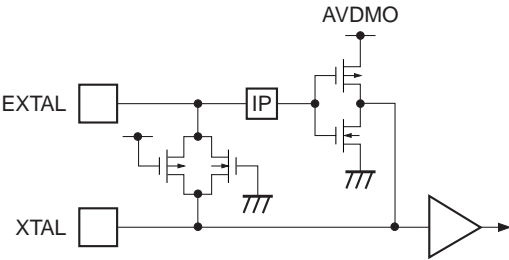
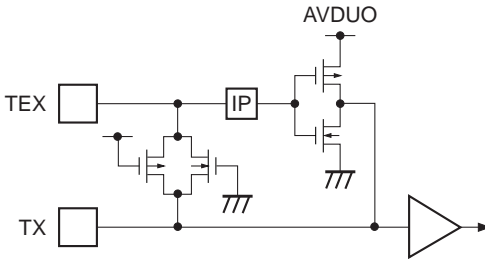
端子	回路形式	リセット後
<p>PJ1 / $\overline{\text{RE}}$ PJ2 / $\overline{\text{LWR}} / \overline{\text{LB}}$ PJ3 / $\overline{\text{UWR}} / \overline{\text{UB}}$ PJ4 / WE</p>		<p>Hi-Z</p>
<p>PK0 / $\overline{\text{CS0}}$ ~ PK1 / $\overline{\text{CS1}}$ PK5 / $\overline{\text{CS5}}$ ~ PK7 / $\overline{\text{CS7}}$</p>		<p>Hi-Z</p>
<p>PK2 ~ PK4</p>		<p>Hi-Z</p>

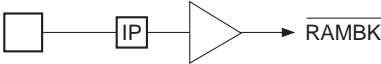
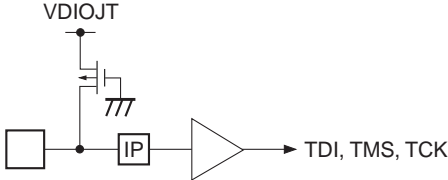
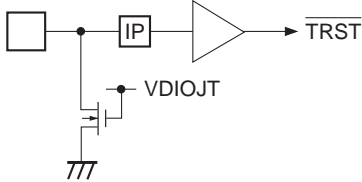
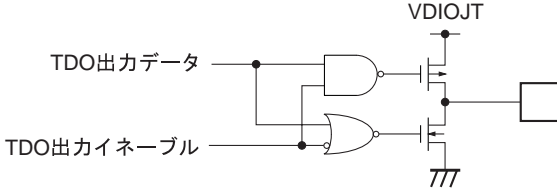
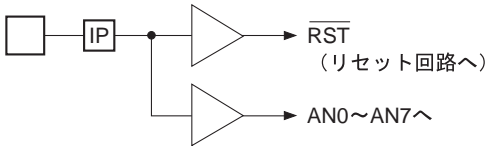
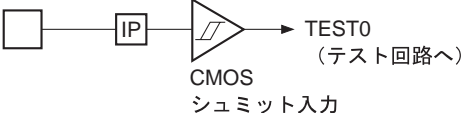
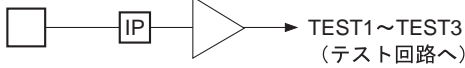
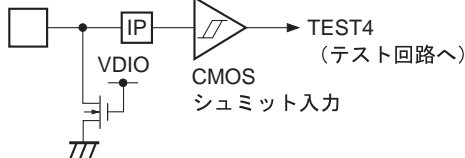
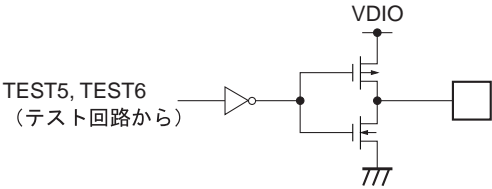
端子	回路形式	リセット後
PL0 / A0 ↓ PL7 / A7		Hi-Z
PM0 / A8 ↓ PM7 / A15		Hi-Z

端子	回路形式	リセット後
PN0 / A16 ↓ PN7 / A23		Hi-Z
PO0 / D0 ↓ PO7 / D7		Hi-Z
PP0 PP1		Hi-Z

端子	回路形式	リセット後
PQ0 ~ PQ7		Hi-Z
PR0 ~ PR7		Hi-Z
AN0 ~ AN5		Hi-Z
AN6 / INT8 AN7 / INT9		Hi-Z

端子	回路形式	リセット後
FAD0 ~ FAD7	 <p>VDIODF</p> <p>FAD0~FAD7 出力データ</p> <p>FAD0~FAD7 出力イネーブル</p> <p>FAD0~FAD7 プルアップ制御</p> <p>FAD0~FAD7 入力データ</p> <p>CMOS シュミット入力</p> <p>IP</p> <p>777</p>	“L”出力
FCLE FALE FWE FRE, FWR, FCE0, FCE1	 <p>VDIODF</p> <p>FCL, FALE, FWE, FRE, FWR, FCE0, FCE1</p> <p>777</p>	“L”出力
FRB0 FRB1	 <p>FRB0, FRB1</p> <p>CMOS シュミット入力</p> <p>IP</p> <p>777</p>	“L”出力
KDI KRB	 <p>IP</p> <p>KDI, KRB</p>	Hi-Z
KDO	 <p>VDIO</p> <p>KDO</p> <p>777</p>	“L”出力
KCS KCLK	 <p>VDIO</p> <p>KCS, KCLK</p> <p>777</p>	“H”出力
EVA	 <p>IP</p> <p>EVA</p>	Hi-Z
VBUS	 <p>IP</p> <p>VBUS</p>	Hi-Z

端子	回路形式	リセット後
TRON		Hi-Z
MSDIO	 <p>CMOS シュミット入力</p>	Hi-Z
MSBS MSSCLK		“L”出力
$\overline{\text{MSINS}}$		Hi-Z
EXTAL XTAL	 <ul style="list-style-type: none"> • 図は発振時の回路構成を示します。 • 発振停止時はXTALが“H”レベルになります。 	発振
TEX TX	 <ul style="list-style-type: none"> • 図は発振時の回路構成を示します。 • 発振停止時はTXが“H”レベルになります。 	発振

端子	回路形式	リセット後
$\overline{\text{RAMBK}}$		Hi-Z
TDI TMS TCK		Pull-up
$\overline{\text{TRST}}$		Pull-down
TDO		Hi-Z
$\overline{\text{RST}}$		Hi-Z
TEST0		Hi-Z
TEST1 ~ TEST3		Hi-Z
TEST4		Pull-down
TEST5 TEST6		“L” 出力

絶対最大定格

(DV_{SS} = 0V基準)

項目	記号	定格	単位	備考
電源電圧	DV _{DD}	- 0.3 ~ + 2.5	V	DV _{DD0} , DV _{DD1} , DV _{DD2} , DV _{DD3}
	VDBK	- 0.3 ~ + 2.5	V	Back-up RAM用電源
	AVDAD	- 0.3 ~ + 4.5	V	
	AVDDA	- 0.3 ~ + 4.5	V	
	AVDMO	- 0.3 ~ + 4.5	V	
	AVDUO	- 0.3 ~ + 4.5	V	
	AVDPLL	- 0.3 ~ + 4.5	V	
	VDIO	- 0.3 ~ + 4.5	V	VDIO0, VDIO1, VDIO2, VDIO3, VDIO4, VDIO5, VDIO6, VDIO7
	VDIODF	- 0.3 ~ + 4.5	V	
	VDIOJT	- 0.3 ~ + 4.5	V	
	VDIOUS	- 0.3 ~ + 4.5	V	
	VDIOMS	- 0.3 ~ + 4.5	V	
入力電圧	V _{IN}	- 0.3 ~ + 4.5* ¹	V	$\overline{\text{RST}}$, $\overline{\text{RAMBK}}$ 端子を除く
	V _{INR}	- 0.3 ~ + 2.5* ²	V	$\overline{\text{RST}}$, $\overline{\text{RAMBK}}$ 端子
出力電圧	V _{OUT}	- 0.3 ~ + 4.5* ¹	V	
ハイ・レベル出力電流	I _{OH}	- 5	mA	出力 1端子
ハイ・レベル総出力電流	ΣI _{OH}	- 40	mA	全出力端子合計
ロウ・レベル出力電流	I _{OL}	10	mA	出力 1端子
ロウ・レベル総出力電流	ΣI _{OL}	80	mA	全出力端子合計
動作温度	T _{opr}	- 20 ~ + 70		
保存温度	T _{stg}	- 55 ~ + 150		
許容損失	P _D	380	mW	

*¹ V_{IN}, V_{OUT}は、I/O電源電圧 (VDIO, VDIODF, VDIOJT, VDIOUS, VDIOMS) + 0.3Vを超えてはいけません。

*² V_{INR}は、DV_{DD} + 0.3Vを超えてはいけません。

注) 絶対最大定格を超えて使用した場合、LSIの永久破壊となる可能性があります。

また、通常動作では推奨動作条件下で使用されることが望ましく、この条件を超えるとLSIの信頼性に悪影響を及ぼすことがあります。

推奨動作条件

(DV_{SS} = 0V基準)

項目	記号	最小値	標準値	最大値	単位	備考
内部電源電圧	DV _{DD}	1.1		1.3	V	DV _{DD0} , DV _{DD1} , DV _{DD2} , DV _{DD3}
RAMバックアップ用電源電圧	VDBK	1.1		1.3	V	*1
ADコンバータ電源電圧	AVDAD	2.2		3.3	V	
DAC電源電圧	AVDDA	2.2		3.3	V	
メイン発振電圧	AVDMO	2.2		3.3	V	
サブ発振電圧	AVDUO	2.7		3.3	V	
PLL電圧	AVDPLL	2.7		3.3	V	
I/O電圧	VDIO	DV _{DD}		3.6	V	VDIO0, VDIO1, VDIO2, VDIO3, VDIO4, VDIO5, VDIO6, VDIO7
JTAG電圧	VDIOJT	1.65		3.3	V	
ECC付きFLASH I/F電圧	VDIODF	2.7		3.6	V	
メモリースティックI/F電圧	VDIOMS	2.7		3.6	V	
USBトランシーバ電圧	VDIOUS	3.0	3.3	3.45	V	
ハイ・レベル入力電圧	V _{IHR}	0.7DV _{DD}		DV _{DD}	V	RST端子
	V _{IHBK}	0.7VDBK		VDBK	V	RAMBK端子
	V _{IHS}	0.7VDIO		VDIO	V	CMOSシュミット・トリガ入力*2
	V _{IHMSS}	0.7VDIOMS		VDIOMS	V	CMOSシュミット・トリガ入力*3
	V _{IHDFS}	0.7VDIODF		VDIODF	V	CMOSシュミット・トリガ入力*4
	V _{IHC}	0.7VDIO		VDIO	V	CMOS入力*5
	V _{IHJTC}	0.7VDIOJT		VDIOJT	V	CMOS入力*6
	V _{IHMSC}	0.7VDIOMS		VDIOMS	V	CMOS入力*7
	V _{IHKW}	0.8AVDAD		AVDAD	V	AN6, AN7端子*8
ロウ・レベル入力電圧	V _{ILR}	0		0.2DV _{DD}	V	RST端子
	V _{ILBK}	0		0.2VDBK	V	RAMBK端子
	V _{ILS}	0		0.2VDIO	V	CMOSシュミット・トリガ入力*2
	V _{ILMSS}	0		0.2VDIOMS	V	CMOSシュミット・トリガ入力*3
	V _{ILDFS}	0		0.2VDIODF	V	CMOSシュミット・トリガ入力*4
	V _{ILC}	0		0.2VDIO	V	CMOS入力*5
	V _{ILJTC}	0		0.2VDIOJT	V	CMOS入力*6
	V _{ILMSC}	0		0.2VDIOMS	V	CMOS入力*7
	V _{ILKW}	0		0.6AVDAD	V	AN6, AN7端子*8
動作温度	Topr	- 20		+ 70		

*1 VDBKは、DV_{DD}と同一電圧にしてください (DV_{DD} ± 0.1V以内)。

*2 通常入力ポート (PA ~ PE, PF0 ~ PF3, PG, PI0 ~ PI6, PJ ~ PR, TEST0) の各端子。

*3 MSDIO, PI7端子。

*4 FAD0 ~ FAD7, FRB0, FRB1端子。

*5 KDI, KRB, TEST1 ~ TEST4, EVA, VBUS端子。

*6 TDI, TMS, TCK, TRST端子。

*7 MSINS端子。

*8 AN6, AN7は定常状態では、中間電位にしないで下さい。

(ロウ・レベル入力電圧: 0 ~ 0.4V, ハイ・レベル入力電圧: (AVDAD - 0.4V) ~ AVDAD)

電気的特性

直流特性

($DV_{DD} = V_{DBK} = 1.1 \sim 1.3V$, $AV_{DAD} = AV_{DDA} = AV_{DMO} = 2.2 \sim 3.3V$, $AV_{DUO} = AV_{DPLL} = 2.7 \sim 3.3V$)

($VDIO = VDIO_{DF} = VDIO_{MS} = 2.7 \sim 3.6V$, $VDIO_{JT} = 2.7 \sim 3.3V$, $VDIO_{US} = 3.0 \sim 3.45V$)

($T_{opr} = -20 \sim +70$, $DV_{SS} = 0V$ 基準)

項目	記号	端子	条件	最小値	標準値	最大値	単位	
ハイ・レベル 出力電圧	V_{OH}	PA0 / PWM, PB, PD ~ PG, PI0 ~ PI6, PJ ~ PR *1	$VDIO = 2.7V$, $I_{OH} = -2.0mA$	$VDIO - 0.4$			V	
		PI7	$VDIO_{MS} = 2.7V$, $I_{OH} = -2.0mA$	$VDIO_{MS} - 0.4$			V	
		D0 ~ D15, PC0 / $\overline{SCK0}$, PC1 / SO0, PC2, PC3, TXDPLS, TXDMNS, TXENL, SUSPEND, TxD0, TxD1, SCK1, SO1, BEEP, DACK0, DACK1, DADT, LRCK, XBCK, FS256, MUTFGL, MUTFGR, \overline{RE} , $\overline{LWR} / \overline{LB}$, $\overline{UWR} / \overline{UB}$, \overline{WE} , CS0, CS1, CS5 ~ CS7, A0 ~ A23, KDO, KCLK, KCS *2	$VDIO = 2.7V$, $I_{OH} = -4.0mA$	$VDIO - 0.4$				V
		TDO	$VDIO_{JT} = 2.7V$, $I_{OH} = -4.0mA$	$VDIO_{JT} - 0.4$			V	
		TRON	$VDIO_{US} = 3.0V$, $I_{OH} = -4.0mA$	$VDIO_{US} - 0.4$			V	
		MSDIO, MSBS, MSSCLK	$VDIO_{MS} = 2.7V$, $I_{OH} = -4.0mA$	$VDIO_{MS} - 0.4$			V	
		FAD0 ~ FAD7, FCLE, FALE, FWE, FRE, FWP, FCE0, FCE1	$VDIO_{DF} = 2.7V$, $I_{OH} = -4.0mA$	$VDIO_{DF} - 0.4$			V	
ロウ・レベル 出力電圧	V_{OL}	PA0/ PWM, PB, PD ~ PG, PI0 ~ PI6, PJ ~ PR *1	$VDIO = 2.7V$, $I_{OL} = 2.0mA$			0.4	V	
		PI7	$VDIO_{MS} = 2.7V$, $I_{OL} = 2.0mA$			0.4	V	
		FRB0, FRB1	$VDIO_{DF} = 2.7V$, $I_{OL} = 2.0mA$			0.4	V	
		PA1 / SDA, PA2 / SCL, D0 ~ D15, PC0 / $\overline{SCK0}$, PC1 / SO0, PC2, PC3, TXDPLS, TXDMNS, TXENL, SUSPEND, TxD0, TxD1, SCK1, SO1, BEEP, DACK0, DACK1, DADT, LRCK, XBCK, FS256, MUTFGL, MUTFGR, \overline{RE} , $\overline{LWR} / \overline{LB}$, $\overline{UWR} / \overline{UB}$, \overline{WE} , CS0, CS1, CS5 ~ CS7, A0 ~ A23, KDO, KCLK, KCS *2	$VDIO = 2.7V$, $I_{OL} = 4.0mA$			0.4	V	
		TDO	$VDIO_{JT} = 2.7V$, $I_{OL} = 4.0mA$			0.4	V	
		TRON	$VDIO_{US} = 3.0V$, $I_{OL} = 4.0mA$			0.4	V	

項目	記号	端子	条件	最小値	標準値	最大値	単位
ロウ・レベル出力電圧	V _{OL}	MSDIO, MSBS, MSSCLK	VDIOMS = 2.7V , I _{OL} = 4.0mA			0.4	V
		FAD0 ~ FAD7, FCLE, FALE, <u>FWE</u> , <u>FRE</u> , <u>FWP</u> , <u>FCE0</u> , <u>FCE1</u>	VDIODF = 2.7V , I _{OL} = 4.0mA			0.4	V
入力電流	I _{IL} *3	PA ~ PG, PI0 ~ PI6, PJ ~ PR	VDIO = 2.7V, V _{IL} = V _{SS}	- 30			μA
			VDIO = 3.6V, V _{IL} = V _{SS}			- 150	μA
		PI7	VDIOMS = 2.7V , V _{IL} = V _{SS}	- 30			μA
			VDIOMS = 3.6V , V _{IL} = V _{SS}			- 150	μA
		FAD0 ~ FAD7	VDIODF = 2.7V , V _{IL} = V _{SS}	- 30			μA
			VDIODF = 3.6V , V _{IL} = V _{SS}			- 150	μA
入出力 リーク電流	I _{ZH} *3	PA ~ PG, PI0 ~ PI6, PJ ~ PR, KDI, KRB, KDO, KCLK, KCS, TEST0 ~ TEST6, EVA, VBUS	VDIO = 3.6V , V _I = 3.6V			10	μA
		TDO	VDIOJT = 3.3V , V _I = 3.3V			10	μA
		TRON	VDIOUS = 3.45V , V _I = 3.45V			10	μA
		PI7, MSDIO, MSBS, MSSCLK, MSINS	VDIOMS = 3.6V , V _I = 3.6V			10	μA
		FAD0 ~ FAD7, FCLE, FALE, <u>FWE</u> , <u>FRE</u> , <u>FWP</u> , <u>FCE0</u> , <u>FCE1</u> , FRB0, FRB1	VDIODF = 3.6V , V _I = 3.6V			10	μA
		AN0 ~ AN7	AVDAD = 3.3V , V _I = 3.3V			10	μA
		<u>RAMBK</u> , <u>RST</u>	VDBK = 1.3V , V _I = 1.3V			10	μA
	I _{ZL}	PA ~ PG, PI0 ~ PI6, PJ ~ PR, KDI, KRB, KDO, KCLK, KCS, TEST0 ~ TEST6, EVA, VBUS	VDIO = 3.6V , V _I = 0V			- 10	μA
		TDO	VDIOJT = 3.3V , V _I = 0V			- 10	μA
		TRON	VDIOUS = 3.45V , V _I = 0V			- 10	μA
		PI7, MSDIO, MSBS, MSSCLK, MSINS	VDIOMS = 3.6V , V _I = 0V			- 10	μA
		FAD0 ~ FAD7, FCLE, FALE, <u>FWE</u> , <u>FRE</u> , <u>FWP</u> , <u>FCE0</u> , <u>FCE1</u> , FRB0, FRB1	VDIODF = 3.6V , V _I = 0V			- 10	μA
		AN0 ~ AN7	AVDAD = 3.3V , V _I = 0V			- 10	μA
<u>RAMBK</u> , <u>RST</u>	VDBK = 1.3V , V _I = 0V			- 10	μA		

項目	記号	端子	条件	最小値	標準値	最大値	単位
入力容量	C _{IN}	PA ~ PG, PI ~ PR, AN0 ~ AN7, FAD0 ~ FAD7, FRB0, FRB1, MSDIO, MSINS, KRB, KDI, EVA, TEST0 ~ TEST4, RAMBK, RST	クロック 1MHz 被測定端子以外 0V			11	pF

*1 PA0 / PWM, PB, PD ~ PG, PI ~ POとして使用する場合は, I_{OH} = - 2.0mA, I_{OL} = 2.0mAで規定します。

*2 PA1 / SDA, PA2 / SCL, PCおよび兼用機能端子として使用する場合は, I_{OH} = - 4.0mA, I_{OL} = 4.0mAで規定します。

*3 PA ~ PG, PI ~ PR, FAD0 ~ FAD7の各端子は, プルアップ抵抗を選択した時入力電流を規定し, 抵抗無しを選択した時リーク電流を規定します。

(Topr = - 20 ~ + 70 , DV_{DD} = 1.1 ~ 1.3V, DV_{SS} = 0V基準)

項目	端子	記号	条件	最小値	標準値	最大値	単位	
電源電流*1	DV _{DD} / VDBK	I _{DD1}	メイン実行モード*2 f _{SRC} = 22.58MHzの水晶発振 1 / 2分周時 (11.29MHz) (C ₁ = C ₂ = 10pF) *4	-	4.5	7.5	mA	
		I _{DD2}	メイン実行モード*3 f _{SRC} = 22.58MHzの水晶発振 (C ₁ = C ₂ = 10pF) *4	-	-	29	mA	
		I _{DDI}	メイン・アイドル・モード f _{SRC} = 22.58MHzの水晶発振 (C ₁ = C ₂ = 10pF) *4	-	3.5	6.5	mA	
		I _{DD} S1	ストップ・ モード	Ta = 25 (DV _{DD} = 1.2V時)	-	100	300	μA
		I _{DD} S2				Ta = - 20 ~ + 50	-	

*1 全出力端子を開放とした場合, DV_{DD}およびVDBKに流れる電流を示します。

*2 ATRAC3デコード動作時

*3 演算アクセラレータ回路の常時動作時

*4 C₁, C₂は, それぞれEXTAL, XTAL端子の外付け容量を示します。

交流特性

(1) EXTAL端子

1) 自動発振の場合

($T_{opr} = -20 \sim +70$, $DV_{DD} = V_{DBK} = 1.1 \sim 1.3V$, $AV_{DMO} = 2.2 \sim 3.3V$, $AV_{SOSC} = DV_{SS} = 0V$ 基準)

項目	記号	条件	最小値	標準値	最大値	単位
発振周波数	f _{SRC}		22.4	22.5792	22.8	MHz

2) EXTAL端子にパルスを入力する場合

($T_{opr} = -20 \sim +70$, $DV_{DD} = V_{DBK} = 1.1 \sim 1.3V$, $AV_{DMO} = 2.2 \sim 3.3V$, $AV_{SOSC} = DV_{SS} = 0V$ 基準)

項目	記号	条件	最小値	標準値	最大値	単位
“H”レベルパルス幅	t _{WHX}		16			ns
“L”レベルパルス幅	t _{WLX}		16			ns
パルス周期	t _{CX}		43.9		44.6	ns
入力“H”レベル	V _{IHX}		0.7AV _{DMO}			V
入力“L”レベル	V _{ILX}				0.2AV _{DMO}	V
立ち上がり時間, 立ち下がり時間	t _R , t _F				7	ns

注) 外部クロックを入力する場合は、EXTAL端子に入力するとともに、XTAL端子に逆相のクロックを印加して下さい。

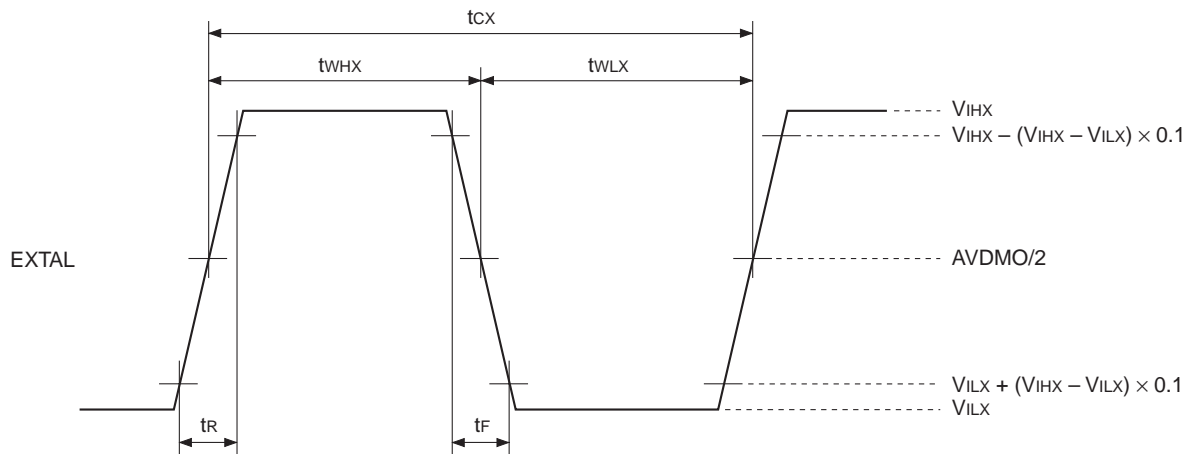


図1. メインクロックタイミング

(2) TEX端子

1) 自動発振の場合

($T_{opr} = -20 \sim +70$, $DV_{DD} = V_{DBK} = 1.1 \sim 1.3V$, $AV_{DUO} = 2.7 \sim 3.3V$, $AV_{SOSC} = DV_{SS} = 0V$ 基準)

項目	記号	条件	最小値	標準値	最大値	単位
発振周波数	f _{TEX}		8		16	MHz

2) TEX端子にパルスを入力する場合

($T_{opr} = -20 \sim +70$, $DV_{DD} = V_{DBK} = 1.1 \sim 1.3V$, $AV_{DUO} = 2.7 \sim 3.3V$, $AV_{SOSC} = DV_{SS} = 0V$ 基準)

項目	記号	条件	最小値	標準値	最大値	単位
“H”レベルパルス幅	t _{WHTX}		25			ns
“L”レベルパルス幅	t _{WLTX}		25			ns
パルス周期	t _{CTX}		62.5		125	ns
入力“H”レベル	V _{IHTX}		0.7AV _{DUO}			V
入力“L”レベル	V _{ILTX}				0.2AV _{DUO}	V
立ち上がり時間, 立ち下がり時間	t _r , t _f				7	ns

注) 外部クロックを入力する場合は、TEX端子に入力するとともに、TX端子に逆相のクロックを印加して下さい。

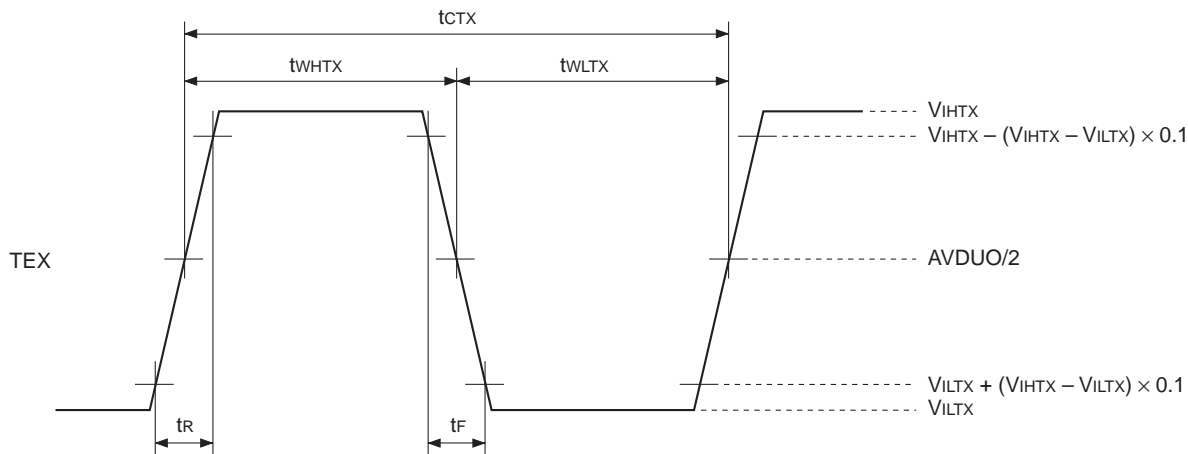


図2. サブクロックタイミング

3) シリアル転送 (CH0, CH1) (Topr = -20 ~ +70, DVDD = 1.1 ~ 1.3V, VDIO = 2.7 ~ 3.3V, DVSS = 0V基準)

項目	記号	端子	条件	最小値	最大値	単位
$\overline{\text{SCK}}$ サイクル・タイム	tkCY	$\overline{\text{SCK0}}$	入力モード	6 / fps2	-	ns
		$\overline{\text{SCK1}}$	出力モード	1 / fSCK	-	ns
$\overline{\text{SCK}}$ ハイ, ロウ・パルス幅	tkH	$\overline{\text{SCK0}}$	入力モード	3 / fps2	-	ns
	tkL	$\overline{\text{SCK1}}$	出力モード	0.5 / fSCK - 5	-	ns
SI入力セットアップ時間 (対 $\overline{\text{SCK}}$)	tsIK	SI0	$\overline{\text{SCLK}}$ 入力モード	- 2 / fps2 + 5	-	ns
		SI1	$\overline{\text{SCLK}}$ 出力モード	35	-	ns
SI入力ホールド時間 (対 $\overline{\text{SCK}}$)	tkSI	SI0	$\overline{\text{SCLK}}$ 入力モード	2 / fps2 + 5	-	ns
		SI1	$\overline{\text{SCLK}}$ 出力モード	0	-	ns
$\overline{\text{SCK}}$ SO遅延時間	tkSO	SO0	$\overline{\text{SCLK}}$ 入力モード	-	3 / fps2 + 40	ns
		SO1	$\overline{\text{SCLK}}$ 出力モード	-	5	ns

注1) 測定端子の負荷容量は75pFです。

注2) fSCK : シリアルクロック

注3) fps2 : PS2クロック (fps2 = fSRC / 4)

注4) fSCK = fps2 / { 2 x (レジスタ設定値 + 1) } : レジスタの設定値 (01h ~ FFh)

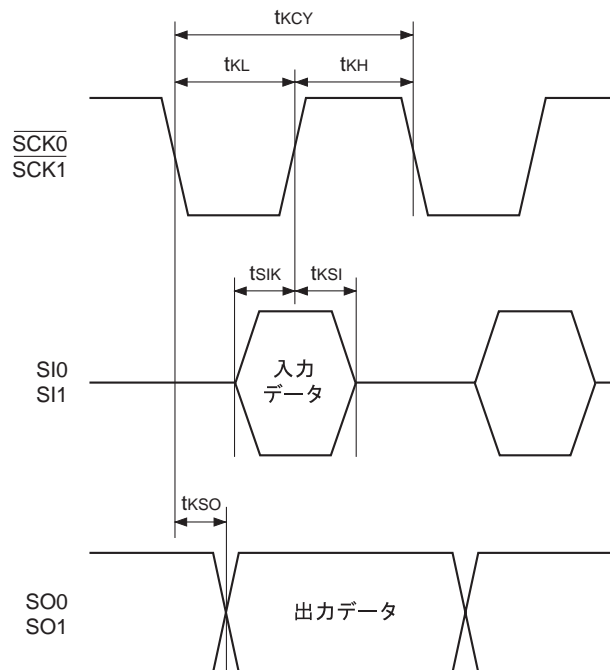


図3 . シリアルCH0, CH1転送タイミング

4) シリアル転送 (メモリースティック)

(Topr = -20 ~ +70 , DVDD = 1.1 ~ 1.3V, VDIOMS = 2.7 ~ 3.6V, DVSS = 0V基準)

項目	記号	端子	条件	最小値	最大値	単位
MSSCLK サイクル・タイム	t _{KCY}	MSSCLK		1000 / f _{MSCK}	-	ns
MSSCLK ハイ, ロウ・パルス幅	t _{KH} t _{KL}	MSSCLK		500 / f _{MSCK} - 5	-	ns
MSBS 出力遅延時間	t _{BSD}	MSBS	対 MSSCLK	-	10	ns
MSDIO 出力遅延時間	t _{DIOD}	MSDIO	対 MSSCLK	-	10	ns
MSDIO 入力セットアップ時間	t _{DIOS}	MSDIO	対 MSSCLK	14	-	ns
MSDIO 入力ホールド時間	t _{DIOH}	MSDIO	対 MSSCLK	5	-	ns

注1) 負荷容量は26pFです。

注2) TEX端子の発振はデューティ50%の場合です。

注3) f_{MSCK}は、メイン発振回路からのf_{SRC}またはサブ発振回路からのf_{TEX}に対して、下表に従います。

シフト・クロック分周比	f _{MSCK} (MHz)
メイン発振2分周	f _{SRC} / 2
メイン発振4分周	f _{SRC} / 4
サブ発振	f _{TEX}

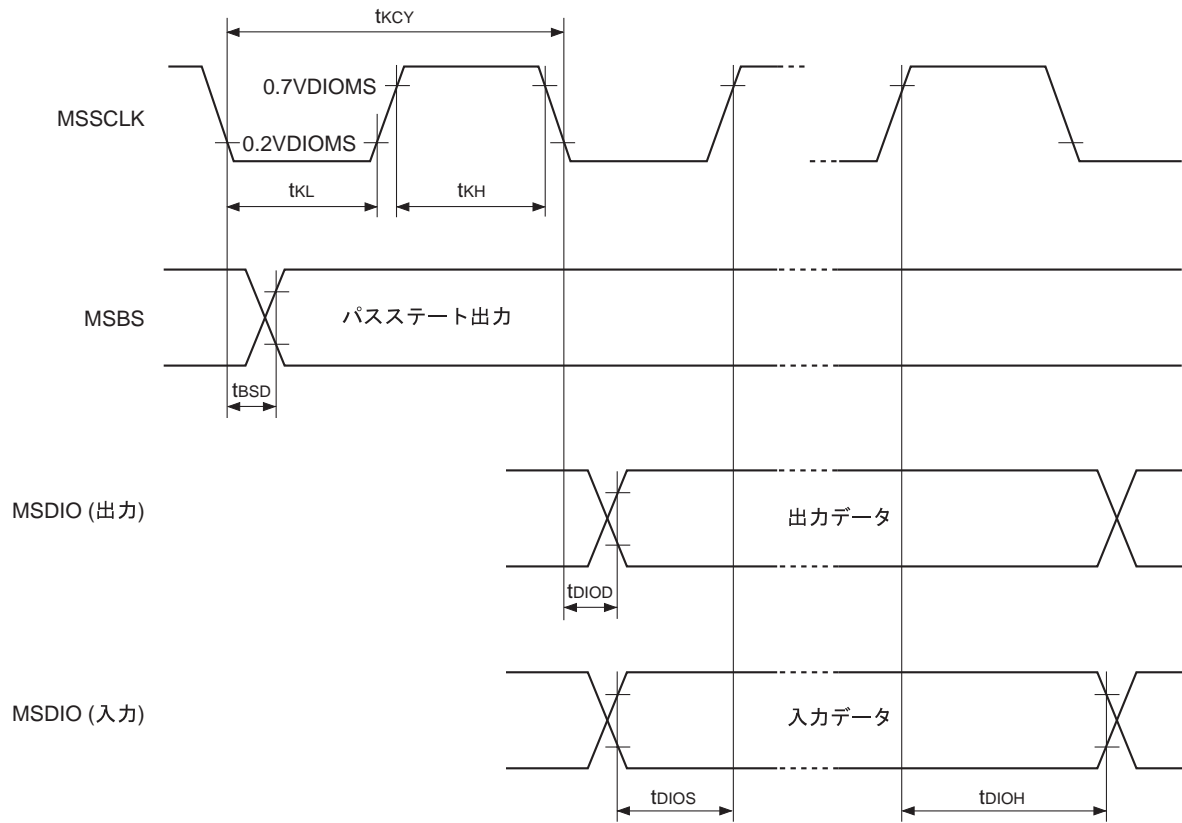


図4 . メモリースティック転送タイミング

5) フラッシュ・メモリ・インタフェース特性

(Topr = -20 ~ +70 , DVDD = 1.1 ~ 1.3V, VDIODF = 2.7 ~ 3.3V, DVSS = 0V基準)

項目	記号	端子	条件	最小値	最大値	単位
$\overline{\text{FRE}}$ 口ウパルス幅	tRECY	$\overline{\text{FRE}}$		$T \times (\text{RSTB設定値}) - 10$	-	ns
$\overline{\text{FRE}}$ セットアップ時間	tRSFA	FAD[7:0]		35	-	ns
$\overline{\text{FRE}}$ ホールド時間	tRHFA	FAD[7:0]		0	-	ns
$\overline{\text{FWE}}$ 口ウパルス幅	tWECY	$\overline{\text{FWE}}$		$T \times (\text{WSTB設定値}) - 10$	-	ns
$\overline{\text{FWE}}$ セットアップ時間	tWSFA	FAD[7:0]		$T \times (\text{WSTP設定値} + \text{WSTB設定値}) - 10$	-	ns
$\overline{\text{FWE}}$ ホールド時間	tWHFA	FAD[7:0]		$T \times (\text{WHL D設定値}) - 10$	-	ns

注1) Tはシステムクロックの1周期 ($1 / f_{\text{SRC}}$) を示します。

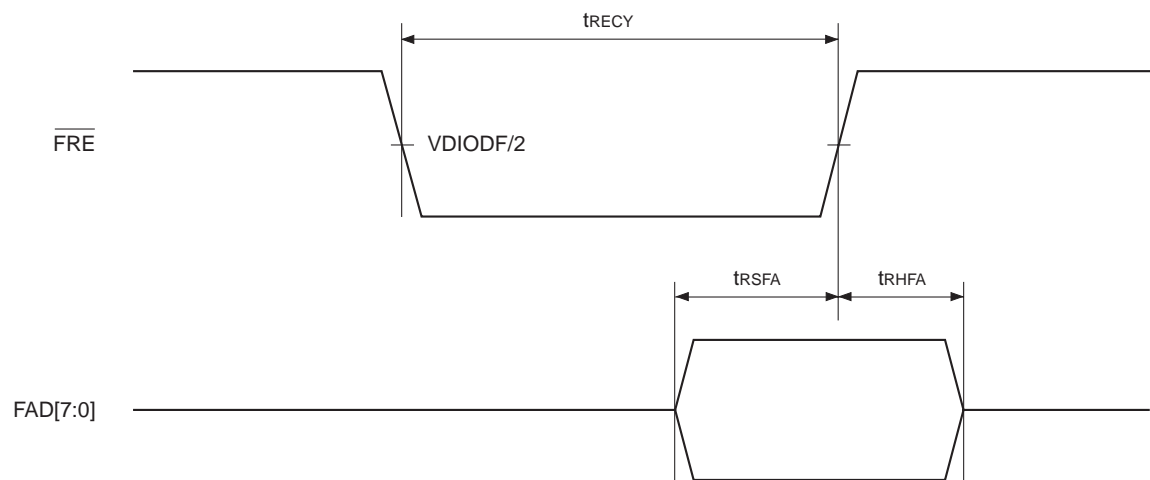
注2) RSTB, WSTB, WSTP, WHLDは, フラッシュ・メモリ・インタフェースWE / REタイミング・レジスタ (FIWERETR) に設定するレジスタを表しています。設定可能な値は, 下表を参照下さい。

注3) 測定端子の負荷容量は75pFです。

RSTB, WSTB, WSTP, WHLD各設定値

項目	FIWERETRレジスタ内ビット	設定可能値
WSTP	[27:24]	0h ~ Fh
WSTB	[23:20]	0h ~ Fh
WHL D	[19:16]	0h ~ Fh
RSTB	[7:4]	0h ~ Fh

• READ時



• WRITE時

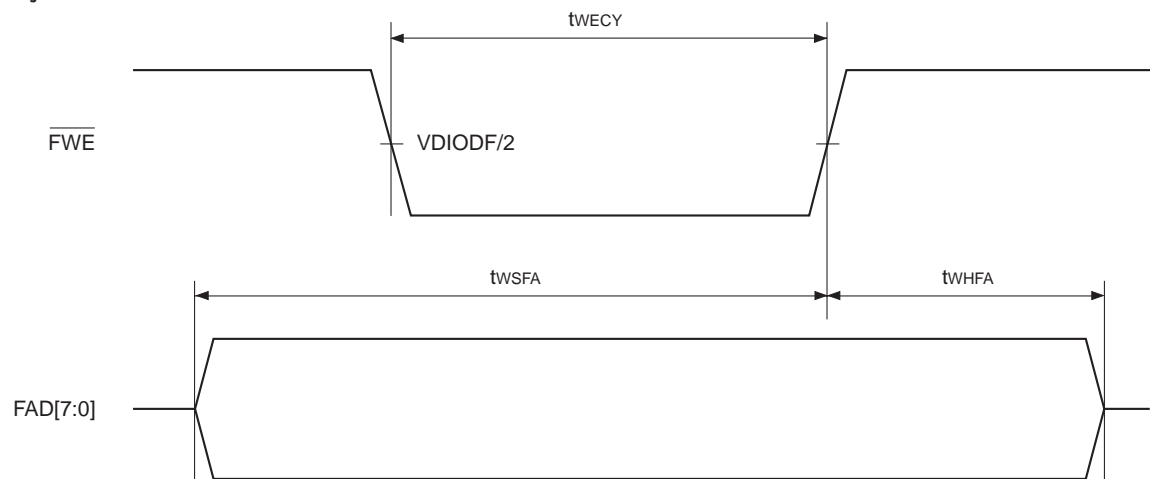


図5 . ECC付きFlashメモリ・インタフェース転送タイミング

6) バス・インタフェース・ユニット (BIU) 特性

• ライト・オペレーションの2サイクルアクセス AC特性パラメータ

(Topr = -20 ~ +70 , DVDD = 1.1 ~ 1.3V, VDIO = 2.7 ~ 3.3V, DVSS = 0V基準)

項目	記号	最小値	最大値	単位
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対するAddressセットアップ時間	tADULD1	$3 / 2f_{SRC} - 5$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対する \overline{CS} , \overline{WE} セットアップ時間	tCWULD1	$3 / 2f_{SRC} - 5$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対するAddressホールド時間	tULADD1	$1 / 2f_{SRC} - 5$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対する \overline{CS} , \overline{WE} ホールド時間	tULCWD1	$1 / 2f_{SRC} - 5$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) Lowパルス幅	twUL1	$1 / f_{SRC}$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対するDataセットアップ時間	tDULD1	$1 / 2f_{SRC} - 5$	-	ns
\overline{CS} , \overline{WE} に対するDataホールド時間	tDD1	0	-	ns

注) 測定端子の負荷容量は75pFです。

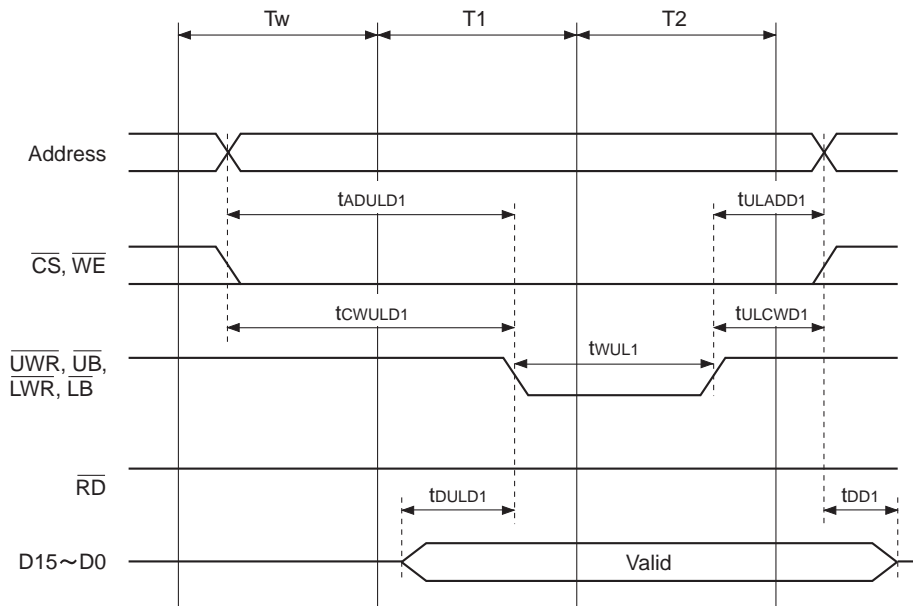


図6 . ライト・オペレーションの2サイクルアクセス 基本タイミング

• ライト・オペレーションの3サイクルアクセス AC特性パラメータ

(Topr = - 20 ~ + 70 , DVDD = 1.1 ~ 1.3V, VDIO = 2.7 ~ 3.3V, DVSS = 0V基準)

項目	記号	最小値	最大値	単位
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対するAddressセットアップ時間	tADULD2	2 / fSRC - 5	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対する \overline{CS} , \overline{WE} セットアップ時間	tCWULD2	2 / fSRC - 5	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対するAddressホールド時間	tULADD2	1 / fSRC - 5	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対する \overline{CS} , \overline{WE} ホールド遅延時間	tULCWD2	1 / fSRC - 5	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) Lowパルス幅	twUL2	1 / fSRC	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) に対するDataセットアップ時間	tdULD2	1 / fSRC - 5	-	ns
\overline{CS} , \overline{WE} に対するDataホールド時間	tDD2	0	-	ns

注) 測定端子の負荷容量は75pFです。

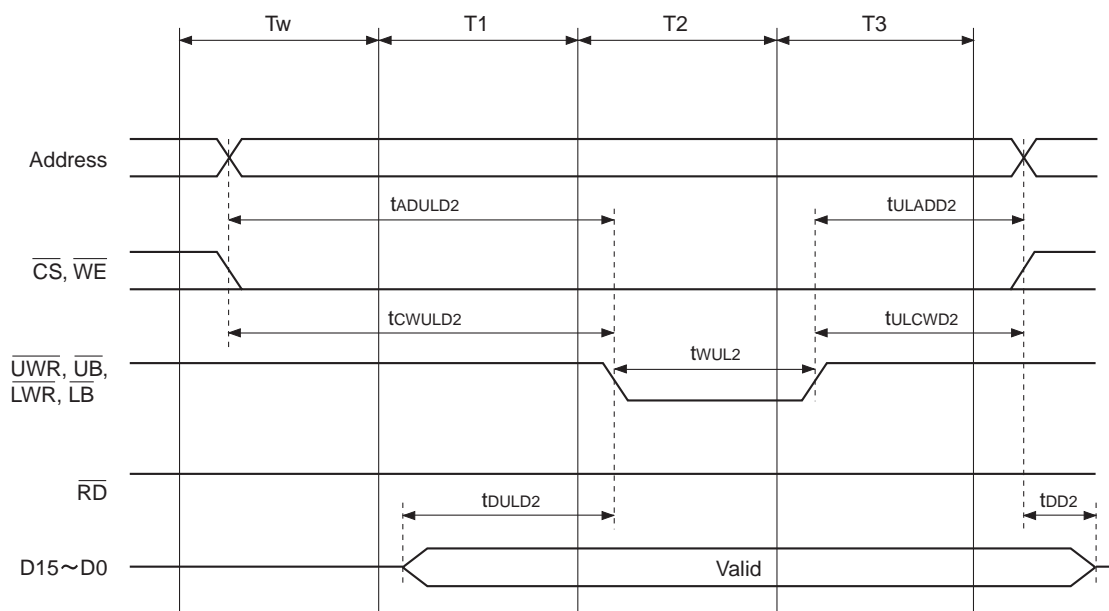


図7. ライト・オペレーションの3サイクルアクセス 基本タイミング

• リード・オペレーションの2サイクルアクセス AC特性パラメータ

(Topr = -20 ~ +70 , DVDD = 1.1 ~ 1.3V, VDIO = 2.7 ~ 3.3V, DVSS = 0V基準)

項目	記号	最小値	最大値	単位
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) , \overline{RD} に対するAddress, \overline{CS} , \overline{WE} セットアップ時間	tADULD3	$1 / 2f_{SRC} - 5$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) Lowパルス幅	twUL3	$1 / f_{SRC}$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) , \overline{RD} に対するAddress, \overline{CS} , \overline{WE} ホールド時間	tULADD3	$1 / 2f_{SRC} - 5$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) , \overline{RD} に対するDataセットアップ時間	trDS1	$1 / 2f_{SRC} + 23$	-	ns
\overline{UWR} (\overline{UB}), \overline{LWR} (\overline{LB}) , \overline{RD} に対するDataホールド時間	trDH1	0	-	ns

注) 測定端子の負荷容量は75pFです。

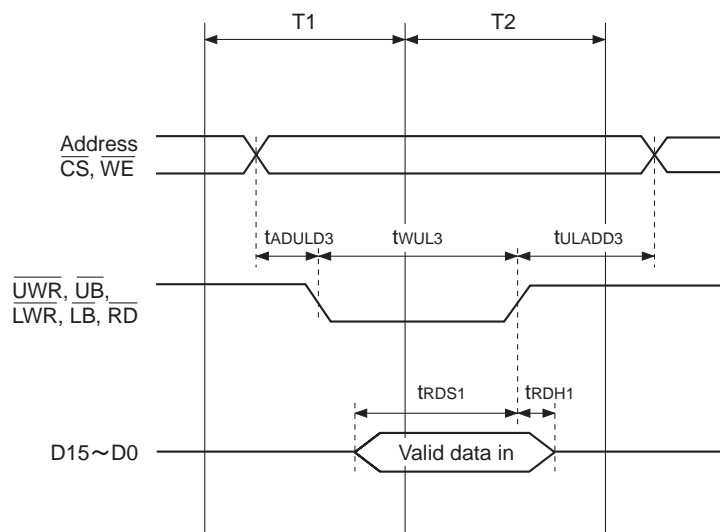


図8 . リード・オペレーションの2サイクルアクセス 基本タイミング

• リード・オペレーションの3サイクルアクセス AC特性パラメータ

(Topr = - 20 ~ + 70 , DVDD = 1.1 ~ 1.3V, VDIO = 2.7 ~ 3.3V, DVSS = 0V基準)

項目	記号	最小値	最大値	単位
$\overline{UWR}(\overline{UB}), \overline{LWR}(\overline{LB}), \overline{RD}$ に対するAddress, $\overline{CS}, \overline{WE}$ セットアップ時間	tADULD4	1 / fSRC - 5	-	ns
$\overline{UWR}(\overline{UB}), \overline{LWR}(\overline{LB})$ Lowパルス幅	twUL4	1 / fSRC	-	ns
$\overline{UWR}(\overline{UB}), \overline{LWR}(\overline{LB}), \overline{RD}$ に対するAddress, $\overline{CS}, \overline{WE}$ ホールド時間	tULADD4	1 / fSRC - 5	-	ns
$\overline{UWR}(\overline{UB}), \overline{LWR}(\overline{LB}), \overline{RD}$ に対するDataセットアップ時間	trDS2	24	-	ns
$\overline{UWR}(\overline{UB}), \overline{LWR}(\overline{LB}), \overline{RD}$ に対するDataホールド時間	trDH2	0	-	ns

注) 測定端子の負荷容量は75pFです。

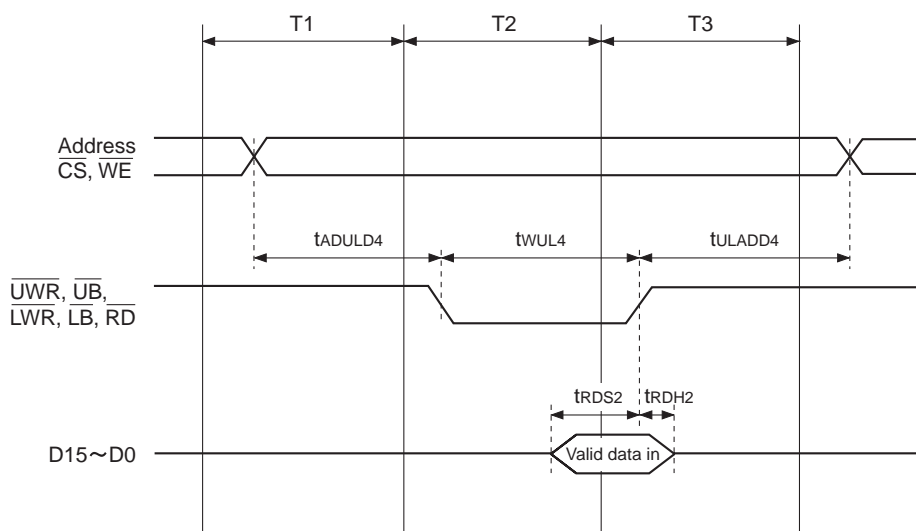


図9 . リード・オペレーションの3サイクルアクセス 基本タイミング

7) A/Dコンバータ特性

(Topr = - 20 ~ + 70 , DVDD = 1.1 ~ 1.3V, AVDAD = 2.2 ~ 3.0V, DVSS = 0V, AVSAD = 0V基準)

項目	記号	端子	最小値	標準値	最大値	単位
分解能		-	-	-	10	Bits
絶対誤差		-	-	-	± 7	LSB
微分直線性誤差		-	-	-	± 1	LSB
積分直線性誤差		-	-	-	± 3	LSB
変換時間	tCONV	-	19 / fPS4	-	20 / fPS4	μ s
サンプリング時間	tSAMP	-	-	3 / fPS4	-	μ s
アナログ入力電圧	VIAN	AN0 ~ AN7	0	-	AVDAD	V

注) fPS4は、メイン発振回路の出力fSRCに対して、fSRC / 16 (MHz) となります。

変換時間は、1チャンネル選択時の変換開始からADC割り込み要求発生までの所要時間を示し、これにはサンプリング時間も含まれます。

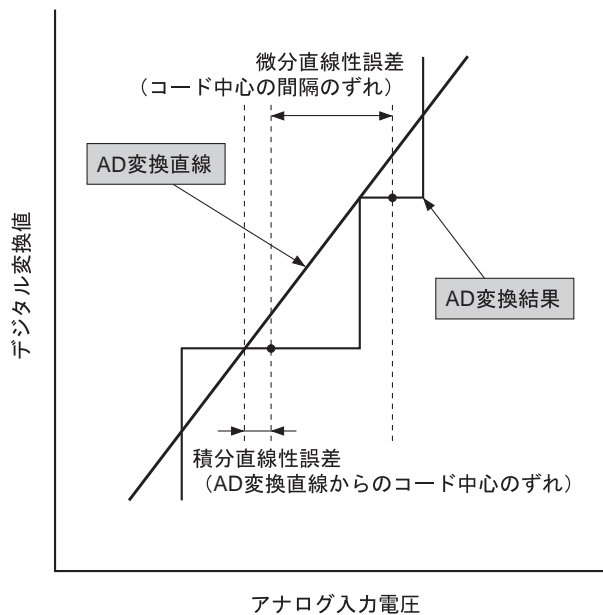
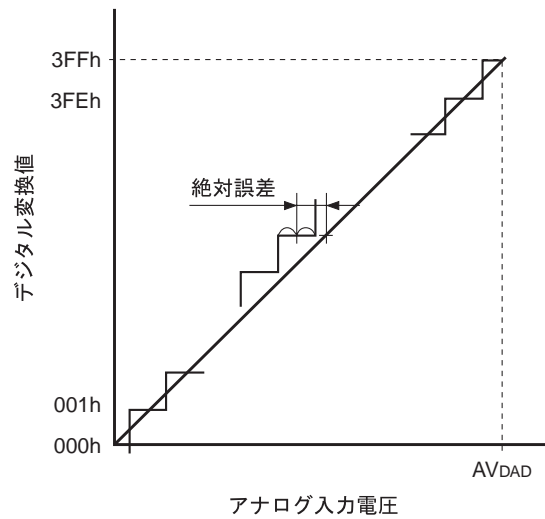


図10 . A / Dコンバータ用語の定義

内蔵DAC仕様

1) Digital filter特性

通過域	0 [Hz] ~ 20 [kHz]
阻止域	24.1 ~ 328.7 [kHz]
通過域リップル	± 0.03 [dB] 以内
阻止域減衰量	54 [dB] 以上

2) アナログ特性

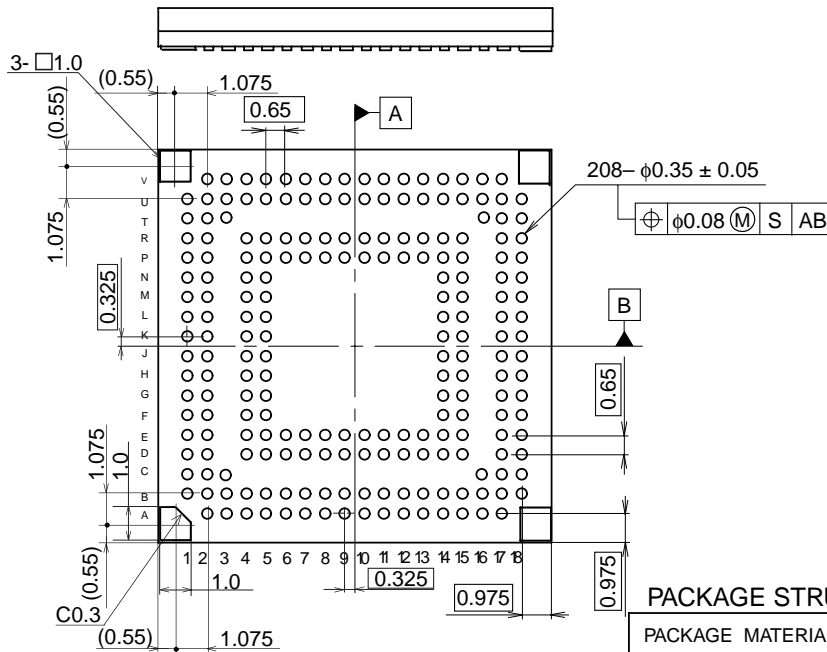
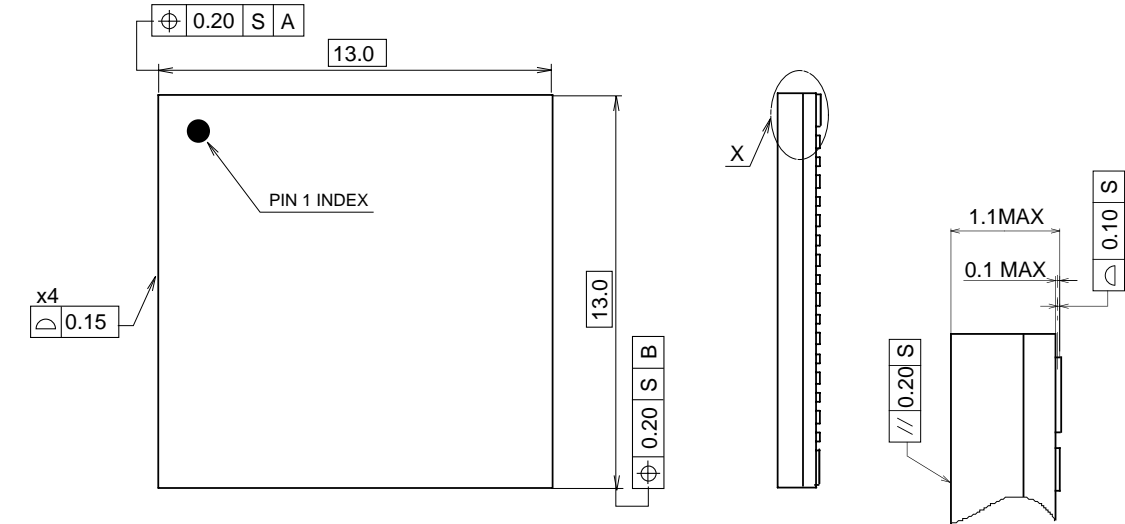
(AVDDA = 2.4V, Ta = 25)

項目	最小値	標準値	最大値	単位
S/N	-	92	-	dB
THD + N	-	0.015	-	%
ダイナミックレンジ	-	93	-	dB
チャンネル間ゲイン差	-	0.1	0.15	dB以内
出力電圧*1	-	666.2	-	Vrms
出力負荷抵抗	10	-	-	k 以上
アナログフィルタカットオフ周波数	-	90	-	kHz

*1 出力電圧は約0.8AVDDA [Vp-p]

外形寸法図 単位：mm

208PIN TFLGA



DETAIL X

PACKAGE STRUCTURE

PACKAGE MATERIAL	ORGANIC SUBSTRATE
TERMINAL TREATMENT	NICKEL & GOLD PLATING
TERMINAL MATERIAL	COPPER
PACKAGE MASS	0.39g

SONY CODE	TFLGA-208P-01
EIAJ CODE	P-TFLGA-208-13.0x13.0-0.65
JEDEC CODE	—